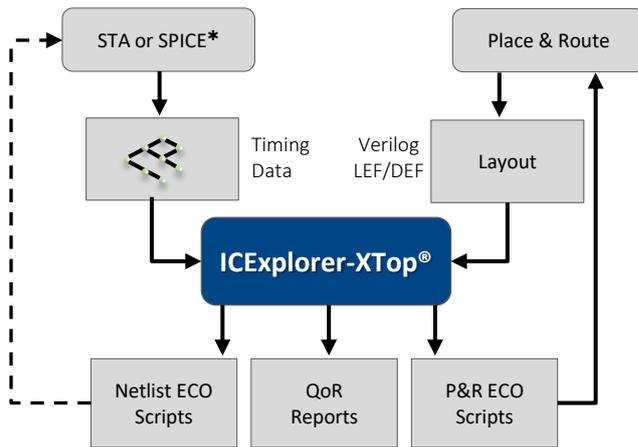


# ICExplorer-XTop®

大容量、高效的时序优化解决方案



\* ICExplorer-XTime®可以提供SPICE仿真数据以进行时序矫正

## 概述

时序收敛是当今SoC设计面临的一个巨大挑战，它影响着产品的设计质量和上市时间。在先进工艺条件下，超大规模设计可能包含上百个工作场景（Scenario）。如何处理这庞大的时序数据，并在有限时间内作出优化方案，是设计者关注的问题。同时对16nm以下先进工艺设计，由于先进SoC设计受工艺敏感度的影响较大，自动化的时序优化往往不能完全解决所有时序问题，设计者需要耗费大量精力人工进行ECO。

ICExplorer-XTop®提供了快速、大容量、全面的时序收敛（ECO）解决方案。它可以有效地解决先进工艺下的超大规模、超多工作场景（Scenario）设计的各类时序问题修复问题。XTop还提供了交互式ECO解决方案，通过瓶颈问题的分析定位，帮助设计者手工完成关键时序路径的修复，大大提升了时序收敛的效率。

多家国际行业领先的IC设计公司采用XTop作为其标准时序优化方案，已有上百次成功tape out经验。工艺节点覆盖至先进制程16/14/10/7nm，应用在多种设计类型，例如手机，PC，服务器，网络，媒体，物联网，矿机等。

## 功能与优势

- **超大容量的时序收敛**
  - 支持100+M 单元超大规模层次化设计
  - 支持100+ MCMM 多工作场景同时进行时序优化
- **全面的自动时序优化**
  - 高效解决setup, hold时序问题，大幅度降低迭代次数
  - 高效解决max transition, capacitance, wire length, fanout等问题
  - 保证时序，全面优化芯片功耗和面积
- **灵活的交互式优化**
  - 内置高级时序分析功能帮助快速定位瓶颈点
  - 交互式ECO解决关键路径的疑难时序问题
- **强大的物理布局引擎**
  - 支持28/16/12/10/7nm等先进工艺
  - 有效处理高 density, 高 congestion的复杂设计

## 功能

### □ 高效的自动时序优化方案

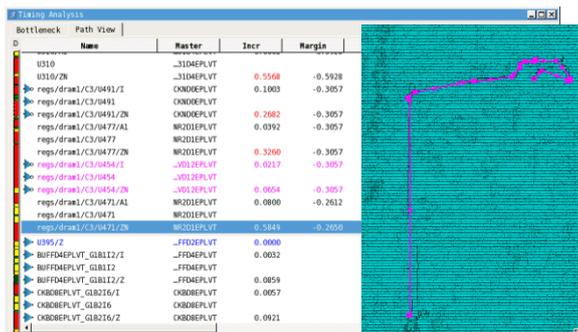
#### ❖ 优化目标

- Setup timing
- Hold timing
- Max transition
- Max capacitance
- Max fanout
- Wire length
- Design area
- Leakage power

### □ 灵活的交互式ECO图形界面操作

#### ❖ 高级的时序分析功能

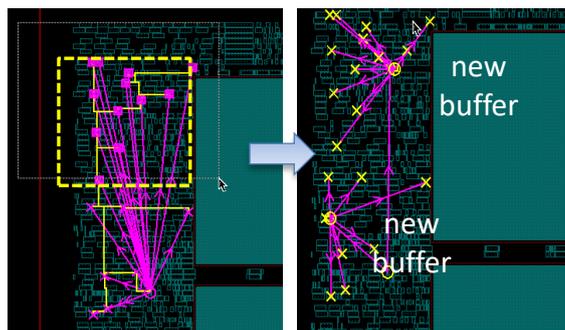
- 瓶颈点、效率点提取
- 更多有效信息的Path view展示
- Path和版图实时Cross probing



时序路径的Path view及layout交互显示

#### ❖ 主要功能

- Insert buffer (chain)
- Size cell
- Split load
- Split net
- Remove buffer
- Move cell
- Connect clock tree



Split load ECO动作

## 支持的数据与平台

### □ 输入/输出

- Input: Verilog, DEF, LEF, Liberty, STA Timing data
- Output: ECO scripts

### □ 流程集成

- Industry leading EDA design environment
- Command line mode

### □ 支持的平台

- X86 64-bit:
- Red Hat Enterprise V5, and V6

**联系方式** [info@empyrean.com.cn](mailto:info@empyrean.com.cn)

#### 总部

**北京华大九天软件有限公司**  
地址: 北京市朝阳区利泽中二路2号  
望京科技创业园A座二层  
电话: 010-84776888

#### 成都子公司 | 成都九芯微科技有限公司

地址: 四川省成都市双流区东升街道  
银河路596号科研综合楼13层

#### 南京子公司 | 南京九芯电子科技有限公司

地址: 南京市江北新区星火路17号  
创智大厦A座8层

#### 上海分公司

地址: 上海市浦东新区郭守敬路498号  
上海浦东软件园1号楼1518

#### 深圳办事处

地址: 广东省深圳市南山区科技中二路软件园  
一期四号楼五楼526室