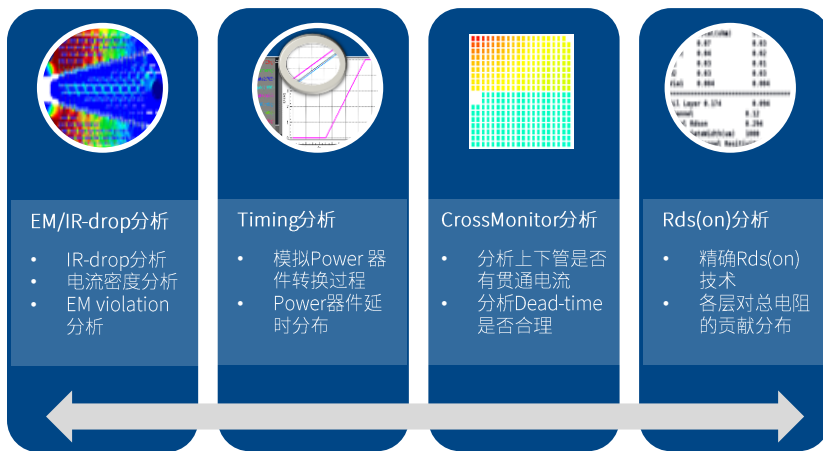


Empyrean Polas[®]

可靠性分析工具



概述

如何模拟Power IC产品的真实工作状态，提高其的可靠性和良率是设计者始终面临的难题。传统RC提取方案无法帮助设计者了解Power IC的全貌。Power IC模块具有形状特殊，面积大，设计符合DRC/LVS规则但依然失效，精确的电压电流仿真难以用传统RC提取和仿真器来完成，分析迭代周期长等特点，导致在无法保证精度和速度的解决方案情况下，设计者难以预测Power IC产品的可靠性和性能，设计风险和产品开发周期风险并存。

Empyrean Polas[®]产品是华大九天根据Power IC产品设计困境，提供专注于Power IC设计的可靠性分析工具。Empyrean Polas[®]产品通过组合Empyrean各工具，提供系统分析方案，从Rds(on), EM/IR-drop, Power Gate Timing, CrossMonitor分析等方面给设计者提供一个Power IC产品的全貌解析，为设计者Signoff产品和提高其良率提供了保障。Empyrean Polas[®]产品作为Power IC产品有效分析工具，在华大九天模拟电路设计全流程EDA工具系统的基础上，为Power IC设计者提供更佳的一站式的完整EDA解决方案。

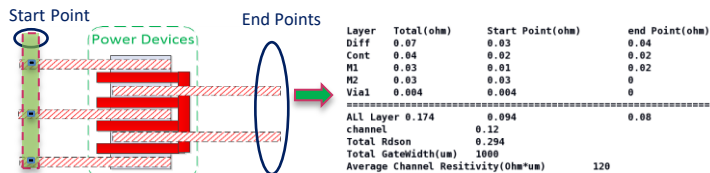
功能与优势

- **高效准确的Rds(on)分析**
 - Empyrean Polas集成了SPICE仿真技术，通过精确的Rds(on)计算，分析Power MOSFET以及其它各层贡献的电阻比例，指导设计和版图优化
- **高效的EM/IR-drop分析**
 - 通过EM/IR-drop分析，了解Contact/Via*/Metal*各层电流流动情况以及可靠性分析，指导版图优化
 - 通过EM违例分析Power版图的可靠性，指导设计优化
- **CrossMonitor分析**
 - 利用输出端的Cross状态分析PWM逻辑的上下管是否有贯通电流分布在大Power MOS内部
 - 通过贯通状态分析Pre-driver的Dead-time设计是否合理
- **精确的Power器件Timing分析**
 - 通过Power器件Gate Timing分析，了解Power MOSFET各Finger gate net上的Delay数据，指导设计和版图优化

功能

□ Rds(on)分析

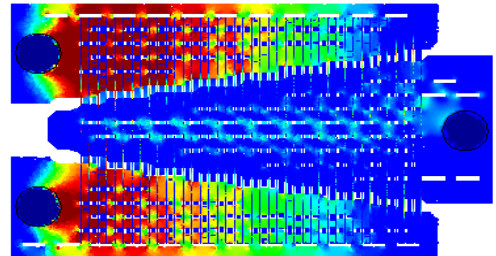
- 利用仿真精确计算Power器件导通电阻及通路总电阻，并呈现各层对总电阻的贡献，帮助设计者定位Power通路电阻设计瓶颈。



Rds(on) 分析报告图示

□ EM/IR-drop分析

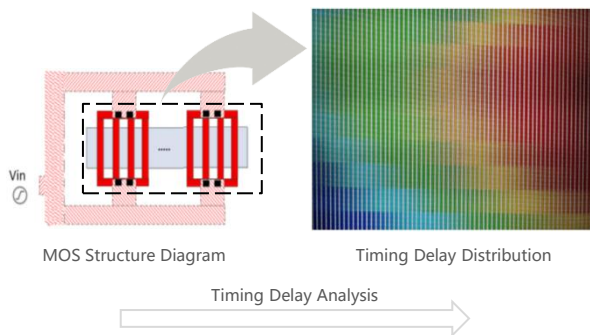
- 在设计过程中即可利用电压分布图、电流密度分布图、EM violation分布图分析Power模块设计的可靠性。



电压和电流密度分布图

□ Power Gate Timing分析

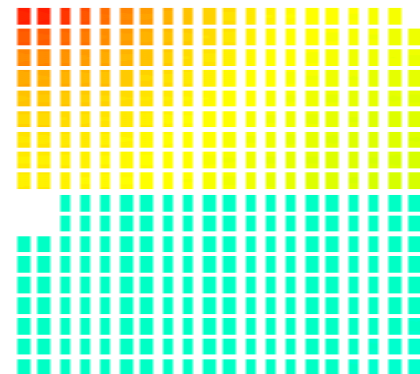
- 计算Power器件导通/关闭的Timing Delay分布，动态分析Power设计的可靠性。



通过仿真计算Gate开启时间

□ CrossMonitor分析

- 分析大规模版图PWM逻辑的上下管是否有贯通电流；分析其Pre-driver设计的Dead-time是否合理。



CrossMonitor分析上下管图示

支持的数据与平台

□ 输入的数据及格式

- GDSII、OASIS
- 主流工艺信息文件

□ 流程集成

- Empyrean Aether®, Empyrean Skipper® 及其它主流第三方平台

□ 支持的平台

- X86 64-bit:
- Red Hat Enterprise V5, and V6