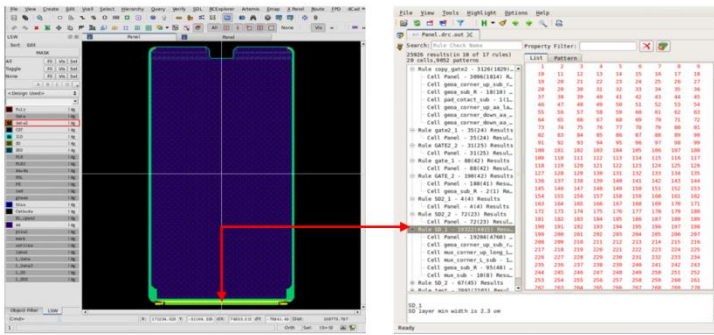


Empyrean Argus® FPD

平板显示电路设计物理验证工具

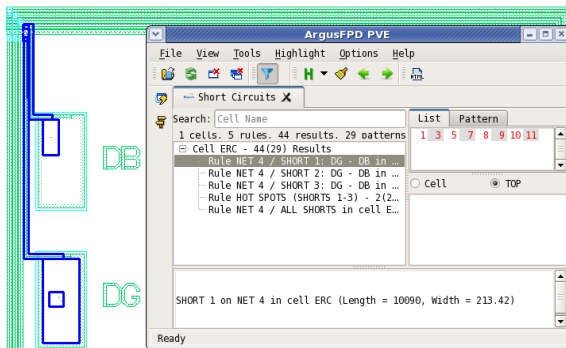
平板显示电路设计物理验证工具Empyrean Argus® FPD是根据平板显示电路设计特点开发的层次化并行物理验证工具。它不仅满足传统平板显示电路设计的DRC/LVS验证要求，还针对异形屏显示设计的特点开发了圆弧及任意角度旋转图形的高精度器件提取和规则检查技术，保证了物理验证的精度。同时，针对平板显示电路设计高重复阵列式设计特点，通过设计规则违例识别和聚类技术，显著提升了设计师检查和分析设计违例的效率，缩短了产品的设计周期。

- Empyrean Argus® FPD DRC (Design Rules Check) : 具有高性能、高容量和高精度的特点，可以支持层次化的检查、特定区域的局部检查、规则分组和选定，还支持多线程检查。设计规则的检查验证，避免线宽、线间距等设计不符合规则，如图示1所示。



图示1 DRC定位违反设计规则图形

- Empyrean Argus® FPD ERC (Electrical Rules Check) : FPD设计中有很多连线，为了确保连线的正确性，保证产品的电气性能正常，常在几何设计规则验证后进行电气设计规则验证，避免版图中的信号线出现Open和Short错误，如图示2所示。

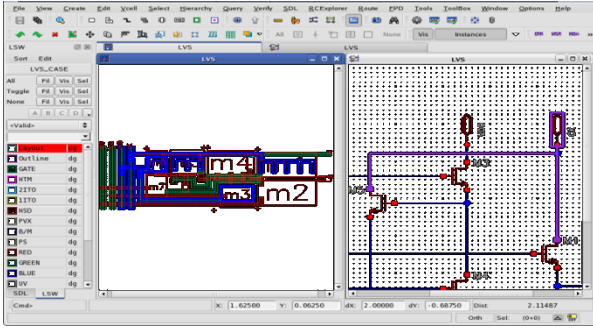


图示2 ERC短路/开路检查

亮点

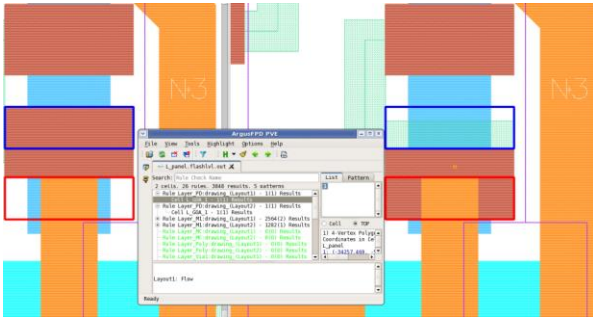
- 圆弧及任意角度旋转图形的高精度检查
- 提供图形化的Rule编写辅助工具DRS
- 快速准确定位错误
- 支持验证结果优化分类
- 支持层次化的版图验证
- 图形化运行界面，简单易用
- 支持Size Lib后同Lib的LVL比对确认

- Empyrean Argus® FPD LVS (Layout Vs Schematic) : 通过层次化的查错方式更准确的定位错误, 并通过版图、原理图、网表之间的良好交互能力帮助设计人员快速、准确的找到错误, 定位问题。版图与电路原理图比对验证, 避免版图设计同电路原理图不符而导致的版图电性错误, 如图示3所示。



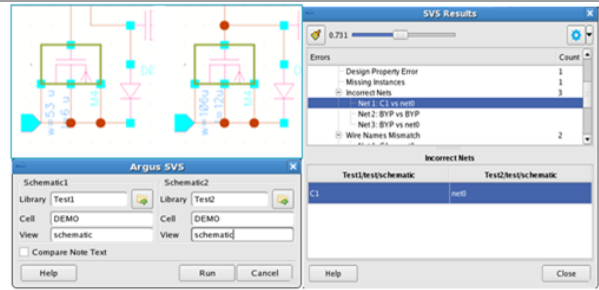
图示3 LVS定位连线开路

- Empyrean Argus® FPD LVL (Layout Vs Layout) : FPD Mask出图流程中包含mask厂商返回图纸与设计图纸confirm问题。LVL可以帮助用户最快的完成相关位置的修改确认, 极大地提高版图改版确认效率。利用LVL工具确认改版前后的版图差异, 如图示4所示。



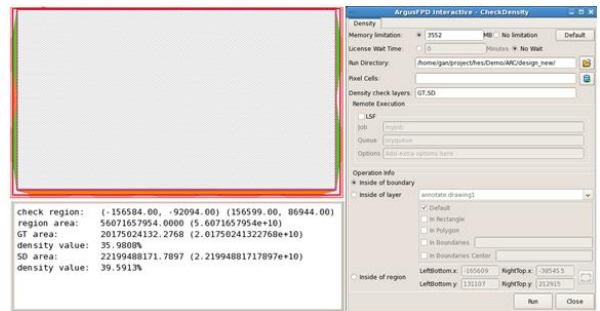
图示4 LVL原始设计数据与导出数据对比

- Empyrean Argus® FPD SVS (Schematic Vs Schematic) : 电路图不同版本的差异验证, 避免改版的电路图数据出错。利用SVS工具确认改版前后的电路图差异, 如图示5所示。



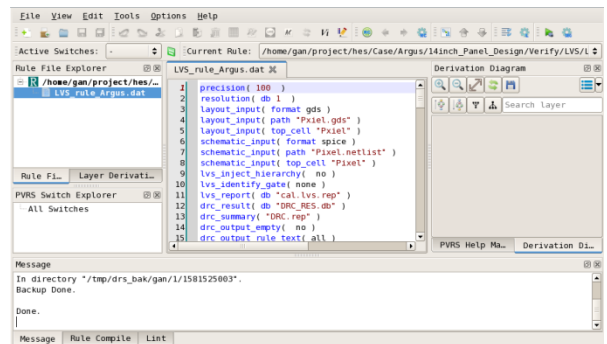
图示5 SVS电路图差异对比

- Empyrean Argus® FPD CD (Check Density) : Layer密度检查, 快速计算每层Layer的密度工艺参数, 如图示6所示。



图示6 CD金属密度分析

- Empyrean Argus® FPD DRS (Design Rule Studio) : 设计Rule编辑器, 方便客户进行不同验证Rule的编写以及编译错误检查, 如图示7所示。



图示7 DRS编辑器

- Empyrean Argus® FPD PVE (Physical Verification Explorer) : 验证结果汇总, 可返标至版图和原理图, 高效分析并修正检查错误点。