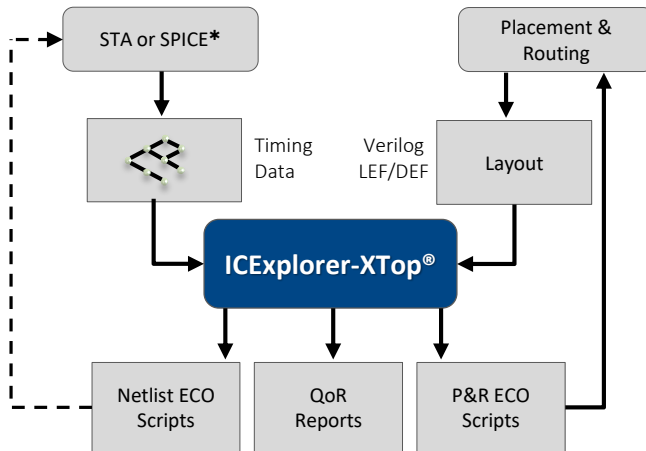


ICExplorer-XTop®

时序功耗优化工具



* ICExplorer-XTime®可以提供SPICE仿真数据以进行时序矫正

概述

时序优化是保证数字芯片设计功能正确和性能指标满足设计要求的关键流程。为保证数字芯片正常工作并达到预期频率，需要对时钟信号和数据信号到达寄存器的时间是否满足建立时间和保持时间的约束要求进行检查，同时对不满足约束要求的情况进行修复优化。时序优化在芯片设计过程中占据重要地位，是数字芯片设计特别是先进工艺数字设计的重要瓶颈。

先进工艺大规模数字电路设计可能包含上亿门级单元和数百个工艺角。时序优化工具首先需要具备超大规模数据处理能力。同时，在优化过程中，任何单元或走线的变化带来的时序影响都需实时更新到整个芯片以及所有工艺角，以避免其他元件或工艺角出现新的时序违例。另外，还要考虑因为单元或走线的物理位置变化是否可能引起版图设计规则的违反。上述优化过程对时序优化工具提出了严苛的性能、容量和物理规则检查能力的要求。

ICExplorer-XTop®针对先进工艺、大规模设计和多工作场景的时序收敛难题，提供了一站式时序功耗优化解决方案，包括建立时间（Setup）、保持时间（Hold）、瞬变时间（Transition）和漏电功耗（Leakage power）优化等。该工具通过创新的层次设计数据并行处理技术、动态时序建图技术和增量布局技术等，显著提高了时序和功耗优化的效率和质量。ICExplorer-XTop®还提供了Post-mask ECO、交互式ECO和Clock ECO等特色解决方案，通过这些手段，帮助设计者完成关键时序路径的修复，显著提升了时序收敛的效率。

功能与优势

□ 超大容量的时序收敛

- 支持100M+单元 超大规模层次化设计
- 支持100+MCMM 多工作场景同时进行时序优化

□ 强大的物理布局引擎

- 支持先进工艺复杂物理规则约束
- 有效处理高Density, 高Congestion的复杂设计

□ 全面的时序优化方案

- 自动修复Setup, Hold, Max transition等时序及设计约束问题
- 自动优化芯片的漏电功耗和面积
- 交互式ECO解决关键路径的疑难时序问题
- Clock ECO以最小代价解决尽可能多的时序问题
- Post-mask ECO支撑Silicon Frozen阶段时序优化

□ 灵活的交互式优化

- 内置高级时序分析功能帮助快速定位瓶颈点

功能

□ 超大容量

- 能够处理100M+单元规模的数字设计
- 能够同时处理100+应用场景
- 针对Setup/Hold修复提供Turbo/Pro模式提升优化速度，减少内存占用

□ 支持先进工艺

- 支持基于LVF时序模型的POCV signoff时序优化
- 能够处理先进工艺复杂物理规则约束
复杂pin track对齐、pin access估算, VT单元邻接摆放、多种行高混合摆放等

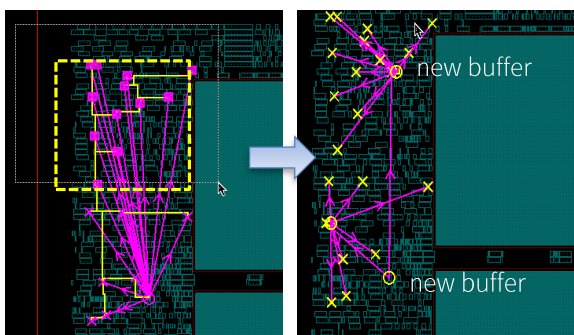
□ 全面的时序优化方案

• 自动时序优化

- Setup/Hold timing
- Max transition/Capacitance/Fanout
- Wire length/SI/Glitch
- Design area/Leakage power

• 交互式ECO操作

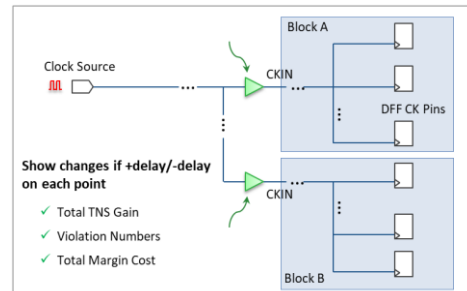
- Insert buffer (chain)
- Remove buffer
- Size cell
- Move cell
- Split net
- Exchange cell
- Split load
- Connect clock tree



Split load ECO动作

• Clock ECO

- 快速找出时钟路径上的高效点，以最小代价解决尽可能多的时序问题



Clock ECO获取最大时序修复效率

• Post-mask ECO

- 支持利用GA Cell和Spare Cell进行post-mask ECO
- 支持自动优化和交互式ECO

□ 高级的时序分析功能

• 主要功能

- 瓶颈点、效率点提取
- 更多有效信息的Path view展示
- 时序路径和版图实时Cross probing
- Corner reduction 工艺角精简
- 时序优化结果Incremental SDF输出

支持的数据格式与平台

□ 支持的数据格式

- 输入: Verilog/DEF/LEF/Liberty/STA Timing 数据
- 输出: ECO 脚本/incr. SDF

□ 支持的平台

- X86 64-bit:
Red Hat Enterprise V6 and V7