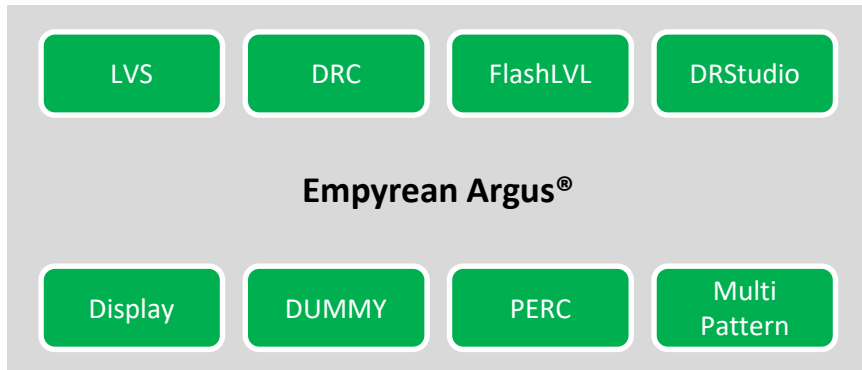


Empyrean Argus®

物理验证工具



概述

随着设计规模的急剧增加和工艺复杂度的不断提高，物理验证所需时间也不断增长，高效的物理验证方案必不可少。模拟、传感器、存储、射频等IC设计存在大量复杂图形和特殊结构，对物理验证工具的精度和性能提出了新的挑战。

Empyrean Argus®是新一代纳米级芯片层次化并行物理验证工具。该工具根据不同设计类型版图的特点，如存储，传感器等设计中的大规模重复单元阵列，通过高性能版图预处理技术，缩短了大规模版图设计的验证时间；针对模拟版图设计中的各种复杂图形，通过高精度扫描线技术，对各类复杂图形做高精度的检查及器件提取，显著提升了用户检查和分析版图设计错误的效率，缩短了产品的设计周期。Empyrean Argus®可无缝集成到模拟电路原理图版图编辑工具 Empyrean Aether®、版图集成与分析工具 Empyrean Skipper®以及RC提取工具 Empyrean RCExplorer®，并通过易用的Debug功能帮助版图设计工程师快速定位版图设计错误，加速验证过程并缩短产品开发周期。

Empyrean Argus®提供的物理验证解决方案可以消除设计错误，降低设计成本和减少设计失败的风险。目前工具已广泛应用于多家设计公司和晶圆代工厂，为用户提供Signoff级别的验证服务，成功完成流片数十亿颗。

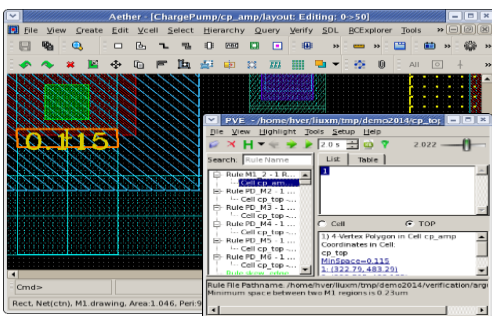
功能与优势

- 精度
 - Signoff级别的验证精度
 - 圆弧高精度记录与运算
 - 器件参数高精度提取
- 性能
 - 高性能版图预处理技术
 - Flatten模式支持多线程并行处理，对比同类工具快3-5X
 - 层次重构技术保障阵列版图性能更优
 - 多机并行分布处理技术达到业界领先水平，CPU调用可超过2000核
- 效率
 - 违例识别加速人工检查效率
 - 定制化验证功能和流程，提高设计效率
- 易用性
 - 丰富的Debug功能，为结果分析提速
 - 清晰的结果呈现方式便于定位真实错误

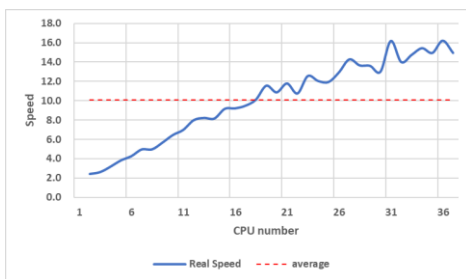
功能

□ 设计规则检查 (DRC)

- 支持通用DRC规则检查（距离、图形关系、密度、天线、电压等）
- 支持对版图进行逻辑运算等处理
- 支持对图形、边及角度等类型数据进行高精度检查
- 支持对特定区域进行局部地交互式检查，提高验证效率
- 提供DRC结果排序、过滤、自动生成报告功能



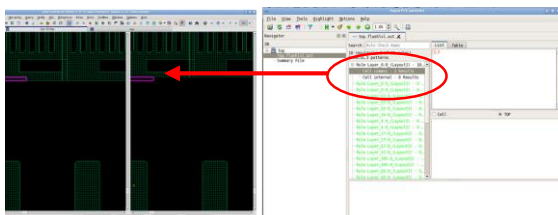
DRC标注结果



DRC多线程加速比

□ 版图与版图对比 (LVL)

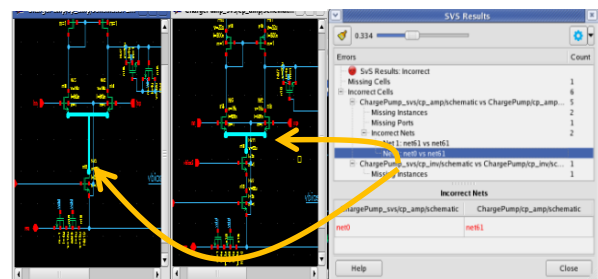
- 支持多机并行
- 可对不同类型电路的版图进行自适应的预处理，以提高性能
- 支持双窗口反标结果显示



版图差异比较结果Debug

□ 版图与原理图比对检查 (LVS)

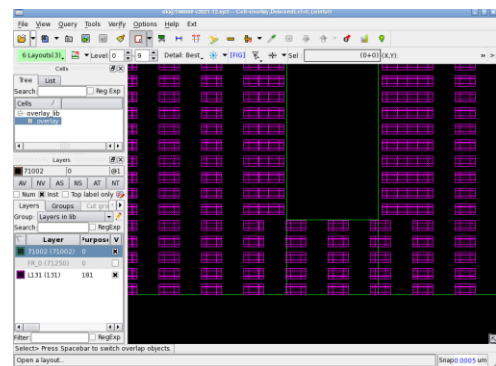
- 能够实现层次化版图图表高效提取
- 层次化LVS模式中支持Auto或自定义的HCELL
- 提供特殊路径检查、短路/开路路径分析ERC应用
- 灵活的器件提取语言，精确技术后仿所需的多种参数，可适用于高压/CIS/3D IC的器件提取
- 为IP设计提供P BOX功能，仅检查IP与上层电路正确性
- 比较原理图直观显示比对差异 (SVS)



电路图差异比较

□ 冗余图形填充 (Dummy Fill)

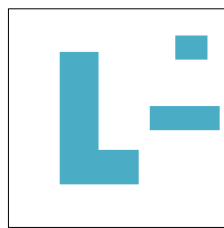
- 支持FinFET先进工艺
- 支持多种形状的Dummy填充 (Rectangle/circle/polygon/stretch/strip/stack/flex shape/wrap fill等)
- 支持多图形多层次填充
- 支持堆叠、伸缩填充
- 支持密度优化、颜色拆分、压缩层次存储数据
- 支持多机多核及集群运行



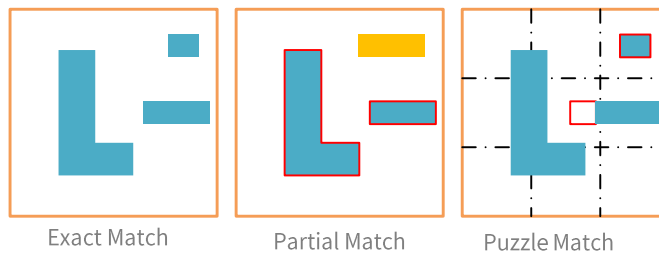
可伸缩九宫格 (Flex shape) 填充

□ 图形查找与匹配 (Pattern Match)

- 支持4种图形类型:
1D/1D_CROSS/2D_EXACT/2D_RANGE
- 支持3种匹配模式:
Exact Match: 精确匹配相同Pattern
Partial Match: 指定面积相似度匹配相似Pattern
Puzzle Match: 指定被分割窗口数匹配相似Pattern
- 支持层次化并行查找和匹配



从版图中抓取Pattern库



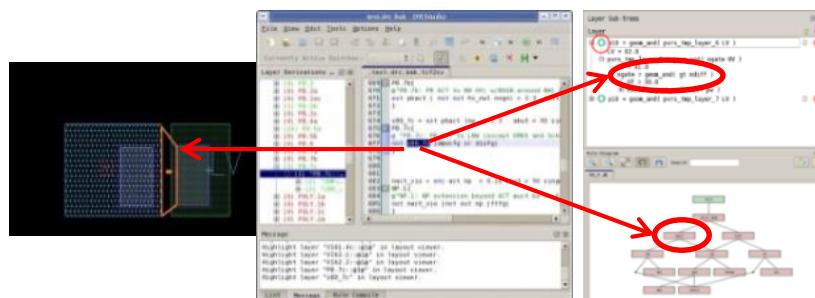
Exact Match

Partial Match

Puzzle Match

□ 物理规则开发平台 (DRStudio)

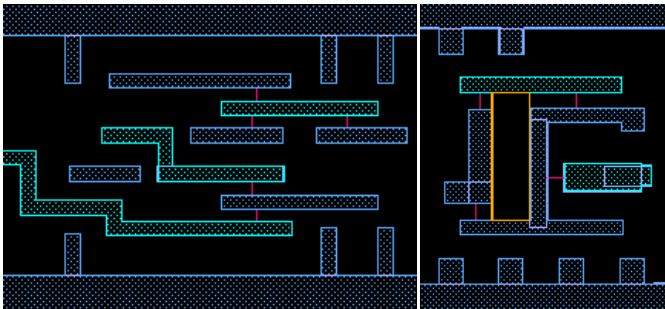
- 提供界面化的Design Rule开发平台, 提高开发效率
- 提供逻辑图显示图层派生关系, 帮助开发者理清思路
- 提供交互式反标, 帮助提高DRC/LVS Rule-deck Debug效率



Design Rule逻辑分析与Debug

□ 先进工艺掩模拆分 (DFM_COLOR)

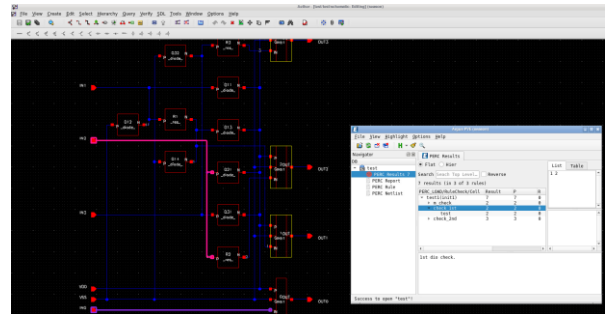
- 支持先进工艺Double-pattern/Multi-pattern的掩膜拆分
- 提供多种不同的拆分冲突的输出形式，提高用户Debug效率 (Ring/Warning/Loop等)
- 支持多机多核及集群运行模式



左：DFM_COLOR双掩模拆分结果
右：RING方式输出的VIOLATION

□ 可编程电气规则检查 (PERC)

- 能够完成对Netlist流程的Topologic检查
- 提供了丰富的基于Python的可编程语言指令，允许使用任意Python IDE编写规则
- 能够支持基于Pattern模式的检索，减少规则与引擎的无效交互
- 支持数据与命令的高并行处理



PERC反标检查结果

支持的数据格式与平台

□ 支持的数据格式

- GDSII/OASIS及其压缩格式

□ 支持的平台

- X86 64-bit:
Red Hat Enterprise V6 and V7