

Empyrean Aether[®] SE

原理图编辑工具

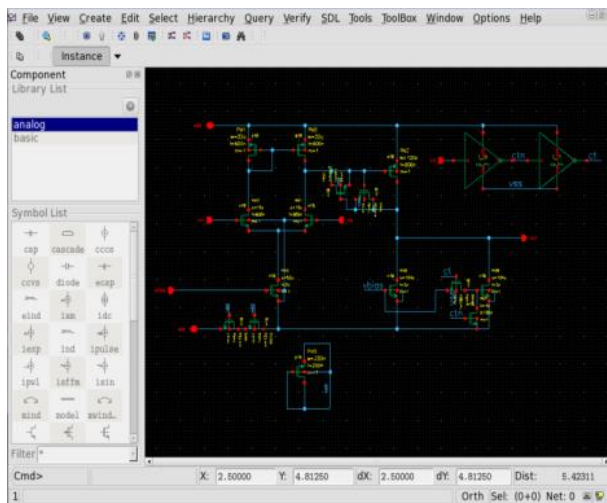
功能与优势



- 方便灵活的配置方式
- 简单便捷的层次化操作
- 支持Symbol自动生成以及编辑
- 支持Parasitic RC Symbol
- 强大的层次化线网追踪 (Trace Net) 功能
- 通过Navigator快速查找和选定单元、Pin、Net等
- 通过快捷键、工具栏图标等方式快速启动功能
- 支持CDL/SPICE/Verilog/Verilog-A等主流网表导出
- 支持EDIF 200格式导入导出
- 实时 ERC 检查保证电路的连接正确性
- 支持层次化电路参数传递iPar 和 pPar
- 完备的Python/TCL脚本系统

概述

Empyrean Aether[®] Schematic Editor (以下简称Empyrean Aether[®] SE) 是模拟电路、数模混合信号电路等全定制电路设计流程中前端原理图的设计编辑工具。工具能快速实现符号库和电路图的创建和编辑，具备便捷的操作和灵活的开放接口，帮助用户有效提升电路设计速度。



Empyrean Aether[®] SE工具主界面

Empyrean Aether[®] SE工具提供友好的设计环境和灵活的工具设置界面，例如多视图窗口显示、自定义工具栏设置、快捷键设置以及丰富的设计命令等。

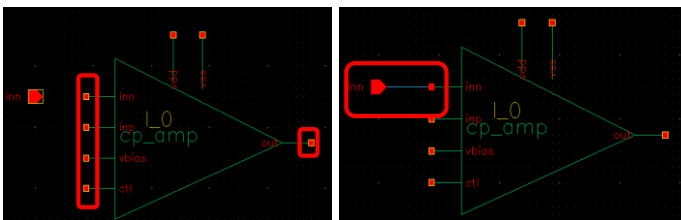
Empyrean Aether[®] SE提供EDIF、SPICE、Verilog等各种模拟、数字标准网表的导入导出接口。工具支持层次化的编辑功能方便用户进行复杂层次化电路设计。同时提供强大的电路规则实时检查 (Realtime ERC)、继承连接 (Inherited Connection) 和层次化线网追踪 (Trace Net) 等功能，在确保电路连接正确性的同时实现了更高的设计效率。

Empyrean Aether[®] SE提供混合信号设计仿真环境 (Empyrean Aether[®] MDE)，集成仿真工具 (Empyrean ALPS[®] AS/MS) 及波形查看工具 (Empyrean iWave[®])，为混合信号、模拟及数字电路设计提供了完整高效的交互式前端设计流程，充分满足用户的电路以及仿真设计需求。

功能

❑ 实时ERC检查 (Realtime ERC Check)

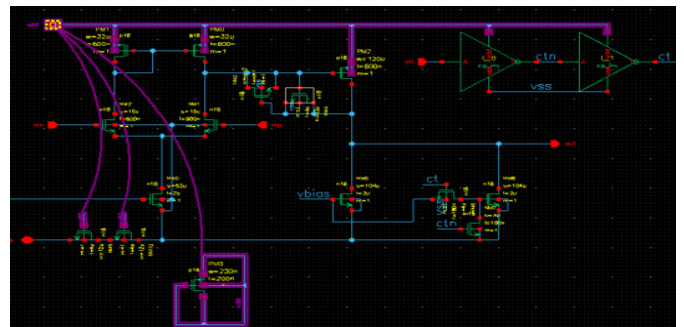
电路设计需通过ERC规则检查确保电路连接正确性。Empyrean Aether® SE提供了实时ERC检查功能，在电路创建或者编辑过程中，实时检查电路的连接正确性，并给出相应的警告或者报错提示，极大地节省了手动ERC检查的时间。



实时ERC检查

❑ 线网高亮 (Net Highlighting)

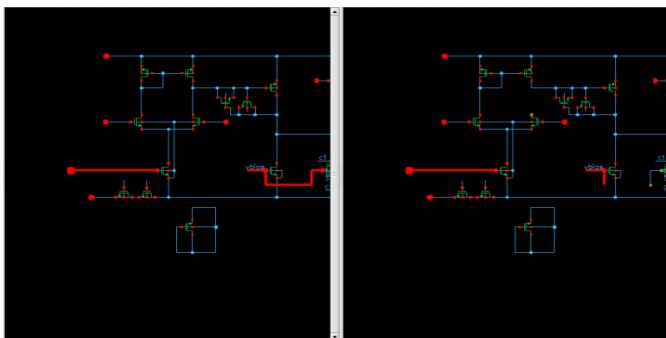
线网高亮功能可以在不启动Trace Net功能的情况下，将当前鼠标点所在的线网以及其同名线网全部高亮，不管这些线网是否真实存在物理连接。这个功能可以有效便捷的帮助用户检查线网的连接关系。



线网高亮

❑ 原理图比较 (Schematic VS Schematic)

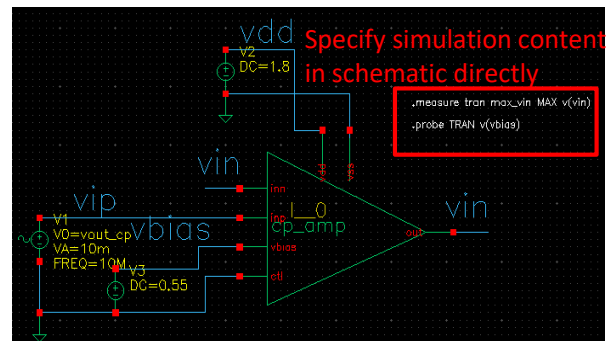
Schematic VS Schematic (SVS) 检查两个Schematic之间的差异性并对差异结果予以高亮反标显示。SVS支持检查以下不同点：Cell/Instance/Net/Wire/Pin连接以及名字的不一致性、单元参数属性不一致性、Note Text以及Note Shape内容以及位置的不一致性。



原理图比较

❑ Note Text的仿真应用 (Note Text Spectre)

在Empyrean Aether® SE里，可以将 Note Text里定义的内容直接输出到网表里进行电路仿真。采用这种方式，用户可以直接将计算表达式、分析类型语句或者其他网表语句作为电路的一部分显示在电路上。



Note Text仿真

支持的平台

- X86 64-bit:
Red Hat Enterprise V6 and V7